

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-099899

(43)Date of publication of application : 13.04.2001

(51)Int.Cl.

G01R 31/316

G01R 31/00

G01R 31/28

H03M 1/10

(21)Application number : 2000-174119

(71)Applicant : SHARP CORP

(22)Date of filing : 09.06.2000

(72)Inventor : SAKAGUCHI HIDEAKI

(30)Priority

Priority number : 11208469

Priority date : 23.07.1999

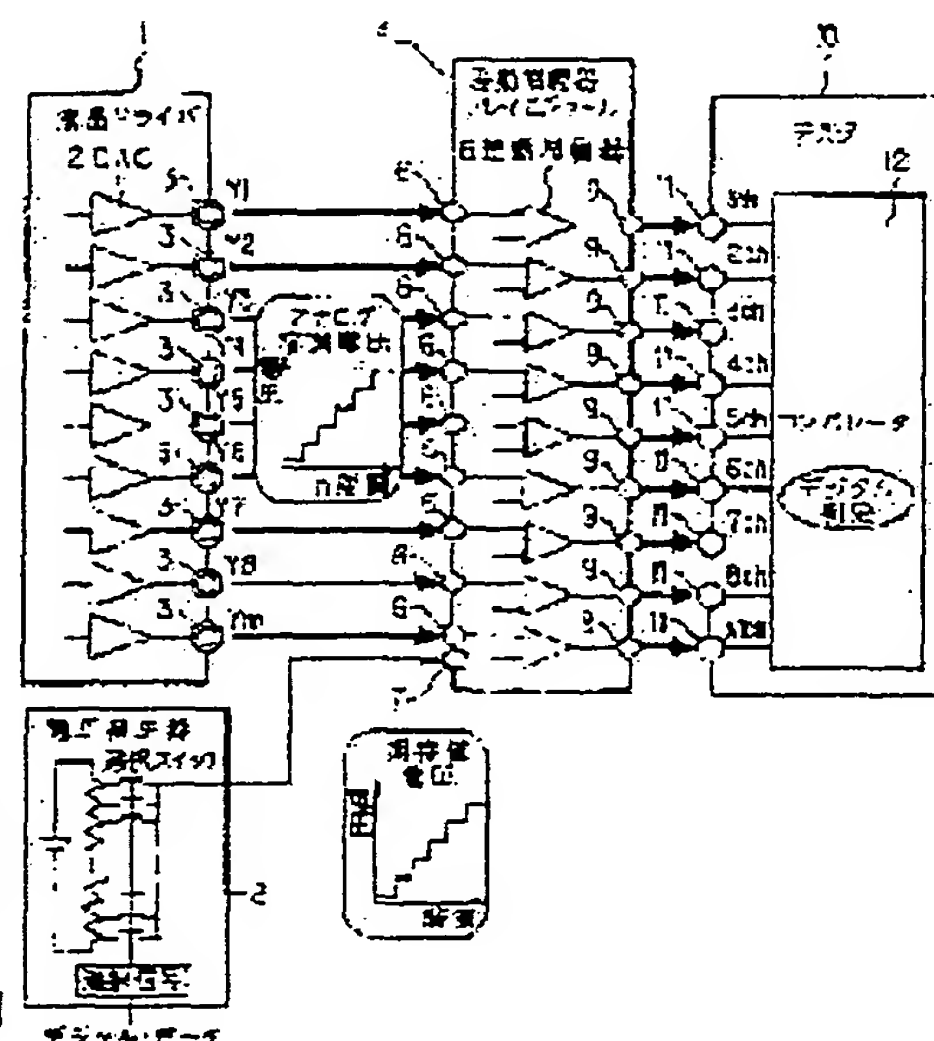
Priority country : JP

(54) METHOD AND EQUIPMENT FOR INSPECTING SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To realize a high accurate test while shortening the test time significantly using a conventional inexpensive tester without requiring any expensive semiconductor tester and to eliminate the need of a reference voltage generator for each type of semiconductor integrated circuit to be tested.

SOLUTION: The equipment for inspecting a liquid crystal driver LSI 1 comprises a reference voltage generator 8 for generating a plurality of expected value voltages being compared with the output voltage from each output terminal 3 and outputting a set of a plurality of kinds of reference voltage required for inspecting a plurality of types of semiconductor integrated circuits, a plurality of differential amplifiers 5 each having one input terminal 6 receiving the output voltage from each output terminal 3 and the other input terminal 7 receiving an expected value voltage from the voltage generator 8, and a comparator 12 receiving an amplified output voltage from the differential amplifier 5 and making a decision whether it falls within a specified voltage range.



LEGAL STATUS

[Date of request for examination]

09.07.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

【特許請求の範囲】

【請求項 1】 複数の D/A コンバータを内蔵し、該各 D/A コンバータの出力電圧を、それぞれ、対応する出力端子より出力する構成とした半導体集積回路の検査装置に於いて、

上記各出力端子より出力される各出力電圧と比較される複数の基準電圧を発生する基準電圧発生器であって、複数種類の半導体集積回路の検査に必要な複数種類の基準電圧の組を選択的に出力する機能を有する基準電圧発生器と、上記各出力端子より出力される各出力電圧が、それぞれ、その一方の入力端子に入力され、他方の入力端子には、上記基準電圧発生器よりの基準電圧が入力される複数の差動増幅器と、該複数の差動増幅器よりの増幅出力電圧を、その入力とし、各差動増幅器よりの増幅出力電圧が、それぞれ、所定の電圧範囲内にあるか否かを判定するコンパレータとを備えて成ることを特徴とする半導体集積回路の検査装置。

【請求項 2】 上記基準電圧発生器が、上記半導体集積回路に内蔵される上記 D/A コンバータとは異なるデジタル・データ信号を入力信号として、上記複数の基準電圧を発生する D/A コンバータであって、上記入力デジタル・データ信号の選択に応じて、複数種類の半導体集積回路の検査に必要な複数種類の基準電圧の組を選択的に出力する D/A コンバータであることを特徴とする請求項 1 に記載の半導体集積回路の検査装置。

【請求項 3】 複数の D/A コンバータを内蔵し、該各 D/A コンバータの出力電圧を、それぞれ、対応する出力端子より出力する構成とした半導体集積回路の検査方法に於いて、

各出力端子から出力される各出力電圧と請求項 2 に記載の基準電圧発生器から発生する上記各出力端子に対応する基準電圧との差分を演算する工程 1 と、該工程 1 で得られた値を増幅する工程 2 と、該工程 2 で得られた上記各出力端子に対応する各差分増幅値が第 1 の所定の電圧範囲にあるか否かを一括して同時判定する工程 3 とからなることを特徴とする半導体集積回路の検査方法。

【請求項 4】 被検査デバイスの出力状態が変化しても、上記基準電圧発生器から発生する基準電圧との差分をとることにより、第 1 の所定の電圧範囲を一定の値とすることを特徴とする請求項 3 に記載の半導体集積回路の検査方法。

【請求項 5】 上記第 1 の所定の電圧範囲を所定の電圧幅で低減した第 2 の所定の電圧範囲を設定する工程 4 と、第 2 の所定電圧範囲を基準として上記各出力端子に対応する差分増幅値を一括して同時に良否判定する工程 5 とからなり、該工程 5 の判定結果が変わるまで工程 4 と工程 5 を繰り返すことを特徴とする請求項 3 に記載の半導体集積回路の検査方法。

【請求項 6】 上記工程 5 の判定結果が変化する時の前記第 2 の所定の電圧範囲の値に基づき、被検査デバイス

を複数のランクに分類することを特徴とする請求項 5 に記載の半導体集積回路の検査方法。

【請求項 7】 上記工程 4、5 を繰り返すごとに第 2 の所定の範囲を小さくしていくことを特徴とする請求項 5 に記載の半導体集積回路の検査方法。

【請求項 8】 請求項 3～7 のいずれかに記載の検査工程をコンピュータに実行させるプログラムを記憶したことを特徴とする記憶媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数の D/A コンバータを内蔵し、各 D/A コンバータの出力電圧を、それぞれ、対応する出力端子より出力する構成とした半導体集積回路（例えば、液晶駆動用 IC 等）の検査装置及びその検査方法に関するものであり、特に、上記各 D/A コンバータの出力電圧のテストを、極めて短時間で、また高精度に実施することができる検査装置及びその検査方法に関するものである。

【0002】

【従来の技術】液晶パネルの高精細化に伴い、該液晶パネルに搭載される液晶ドライバ LSI は、多出力化、多階調化が進んできている。この階調表示を行うため、液晶ドライバ LSI の各出力回路は、それぞれ D/A コンバータを内蔵し、階調電圧を出力する。例えば、6 ビット D/A コンバータの場合は、64 階調表示、8 ビット D/A コンバータの場合は、256 階調表示が、それぞれ可能となる。

【0003】このような液晶ドライバ LSI のテストに於いては、各 D/A コンバータから出力される、それぞれの階調電圧値が全て正常範囲内にあるか否か、また、各 D/A コンバータ間で、階調電圧値が所定の均一性を満たしているか否かのテストを実行している。

【0004】図 7 に、従来のテスト方法を、m 出力、n 階調の D/A コンバータを内蔵する液晶ドライバ LSI のテストの場合を例にとって示した概念図を示す。

【0005】半導体試験装置（テスト）を用いて、液晶ドライバ LSI 51 へ入力信号を供給し、各 D/A 単位コンバータ 52 より、1 階調目の電圧レベルを出力させる。この 1 階調目の電圧レベルは、各出力端子（Y1、…、Ym）を介して、液晶ドライバ LSI 51 外部に導出され、それぞれ、テスト 53 の各入力チャネル（1ch、…、mch）に入力される。テスト 53 に於いては、マトリクススイッチ 54 を順次オン・オフ制御することにより、内蔵されている高精度アナログ電圧測定器 55 を用いて、1 出力ずつ、m 出力まで、順次、1 階調目の階調電圧値を測定し、その測定結果を、逐次、内蔵のデータメモリ 56 に格納する。この処理を、n 階調分、繰り返し実行し、最終的に、全出力（m 出力）、全階調分（n 階調）のデータをメモリ 56 に格納する。この結果、m × n 個のデータが、メモリ 56 に格納される

ことになる。このメモリ 56 に格納されたデータを、テスト 53 に内蔵されている演算装置（図示せず）を用いて演算処理し、各出力に於ける各階調電圧値や、各出力間の階調電圧間の均一性の試験を行う。

【0006】このような液晶ドライバ LSI 51 のテストに於いては、多出力化・多階調化が進むにつれて、データの取り込み量の増加、およびデータ処理時間の増大化が進み、テスト時間は大幅に増大する。また、階調数が増加することにより、各階調電圧値を、より高精度に測定する必要があり、テスト時間の更なる増加と、高精度な電圧測定器を搭載した高価な半導体試験装置が必要となる。

【0007】

【発明が解決しようとする課題】 上述したように、液晶ドライバ LSI の多出力化・多階調化が進むことにより、従来の検査方法では、テスト時間の大幅な増加と、高精度な電圧測定器を搭載する高価な半導体試験装置が必要となることにより、テストコストは激増する一方となってきた。

【0008】かかる問題点を解決した従来の半導体試験装置として、特開平 9-312569 号公報に示される半導体試験装置が提案されている。

【0009】図 8 は、この特開平 9-312569 号公報に示される半導体試験装置の構成を示すブロック構成図である。

【0010】n ビットのデジタル・データを発生するデジタル信号発生器 60 と、クロック発生器 61 と、該デジタル信号発生器 60 のデータと該クロック発生器 61 のクロック信号とを受けてアナログ電圧 V_g を出力する被試験デバイスの D/A コンバータ DUT 62 と、分岐した上記デジタル信号発生器 60 のデータと上記クロック発生器 61 のクロック信号とを受けて、基準電圧 V_{ref} を出力するリファレンス (REF) D/A コンバータ 63 と、上記被試験デバイスの D/A コンバータ DUT 62 の出力を、その一方の入力に、上記リファレンス D/A コンバータ 63 の出力を、その他方の入力に受けて、差動増幅動作を行う差動増幅器 64 と、該差動増幅器 64 の差動増幅出力を受けて、上限と下限の良否判定を行うデュアルコンパレータ 65 とによって、D/A コンバータ試験装置を構成するものである。かかる構成により、スループットの高い D/A コンバータ試験装置を提供することができるものである。

【0011】しかしながら、この特開平 9-312569 号公報に示される半導体試験装置 (D/A コンバータ試験装置) には、以下に示す問題点があった。すなわち、この特開平 9-312569 号公報に示される D/A コンバータ試験装置に於いては、被試験デバイスの D/A コンバータ DUT 62 と、リファレンス D/A コンバータ 63 とは、全く同じ信号が入力される構成であるため、リファレンス D/A コンバータ 63 は、被試験デ

バイスの D/A コンバータの良品を用いる必要がある。これは、被試験デバイスの D/A コンバータが実現する階調数によって端子数が異なるからである。したがって、被試験デバイスの D/A コンバータが別の種類のものになれば、それに応じて、それと同一種類の良品の D/A コンバータを、リファレンス D/A コンバータとして、別途、用意する必要が生じる。すなわち、特開平 9-312569 号公報に示される試験装置に於いては、検査を行う被試験デバイスの D/A コンバータ、或いは、該 D/A コンバータを内蔵する半導体集積回路の種類毎に、高精度で良品のリファレンス D/A コンバータを用意する必要があるという問題点があった。

【0012】本発明は、かかる従来の事情に鑑みて為されたものであり、テスト時間の大幅な短縮を図ることができ、従来の安価なテストを用いて高精度な検査を可能とするとともに、基準電圧発生器を、被検査半導体集積回路の種類毎に用意する必要の無い半導体集積回路の検査装置及びその検査方法を提供することを目的とするものである。

【0013】

【課題を解決するための手段】 本発明に係る半導体集積回路の検査装置は、複数個の D/A コンバータを内蔵し、該各 D/A コンバータの出力電圧を、それぞれ、対応する出力端子より出力する構成とした半導体集積回路の検査装置である。上記各出力端子より出力される各出力電圧と比較される複数の基準電圧を発生する基準電圧発生器であって、複数種類の半導体集積回路の検査に必要な複数種類の基準電圧の組を選択的に出力する機能を有する基準電圧発生器と、上記各出力端子より出力される各出力電圧が、それぞれ、その一方の入力端子に入力され、他方の入力端子には、上記基準電圧発生器よりの基準電圧が入力される複数の差動増幅器と、該複数の差動増幅器よりの増幅出力電圧を、その入力とし、各差動増幅器よりの増幅出力電圧が、それぞれ、所定の電圧範囲内にあるか否かを判定するコンパレータとを備えて成ることを特徴とするものである。

【0014】本発明に係る半導体集積回路の検査装置は、上記基準電圧発生器が、上記半導体集積回路に内蔵される上記 D/A コンバータとは異なるデジタル・データ信号を入力信号として、上記複数の基準電圧を発生する D/A コンバータであって、上記入力デジタル・データ信号の選択に応じて、複数種類の半導体集積回路の検査に必要な複数種類の基準電圧の組を選択的に出力する D/A コンバータであることを特徴とするものである。

【0015】本発明に係る半導体集積回路の検査方法は、複数個の D/A コンバータを内蔵し、該各 D/A コンバータの出力電圧を、それぞれ、対応する出力端子より出力する構成とした半導体集積回路の検査方法である。各出力端子から出力される各出力電圧と請求項 2 記載の基準電圧発生器から発生する上記各出力端子に対応する基

準電圧の差分を演算する工程 1 と、該工程 1 で得られた値を増幅する工程 2 と、該工程 2 で得られた上記各出力端子に対応する各差分増幅値が第 1 の所定の電圧範囲にあるか否かを一括して同時判定する工程 3 とからなることを特徴とするものである。

【0016】本発明に係る半導体集積回路の検査方法は、被検査デバイスの出力状態が変化しても、上記基準電圧発生器から発生する基準電圧との差分をとることにより、第 1 の所定の電圧範囲を一定の値とすることを特徴とするものである。

【0017】本発明に係る半導体集積回路の検査方法は、上記第 1 の所定の電圧範囲を所定の電圧幅で低減した第 2 の所定の電圧範囲を設定する工程 4 と、第 2 の所定電圧範囲を基準として上記各出力端子に対応する差分増幅値を一括して同時に良否判定する工程 5 とからなり、該工程 5 の判定結果が変わるまで工程 4 と工程 5 を繰り返すことを特徴とすることを特徴とするものである。

【0018】本発明に係る半導体集積回路の検査方法は、上記工程 5 の判定結果が変化する時の前記第 2 の所定の電圧範囲の値に基づき、被検査デバイスを複数のラ

ンクに分類することを特徴とするものである。

【0019】本発明に係る半導体集積回路の検査方法は、上記工程 4、5 を繰り返すごとに第 2 の所定の範囲を小さくしていくことを特徴とするものである。

【0020】本発明に係る記憶媒体は、請求項 3～6 のいずれかに記載の検査工程をコンピュータに実行させるプログラムを記憶したことを特徴とするものである。

【0021】かかる本発明の半導体集積回路の検査装置及び検査方法によれば、半導体集積回路の各出力端子より出力される各 D/A コンバータの出力電圧は、それぞれ、各差動増幅器に於いて、基準電圧と比較される。その結果、すなわち、差動増幅器よりの増幅出力電圧は、並列にコンパレータに入力される。コンパレータに於いては、上記各差動増幅器よりの各増幅出力電圧が、それぞれ、所定の電圧範囲にあるか否かの判定が実行される。

【0022】かかる本発明の半導体集積回路の検査装置及び検査方法によれば、多出力化・多階調化が進んだ液晶ドライバ LSI 等の半導体集積回路の検査に於いて

も、コンパレータに於ける各増幅出力電圧の同時判定により、テスト時間の大幅な短縮を図ることができるとともに、従来に於けるような高精度のアナログ電圧測定器による電圧測定も不要となり、従来の安価なテストを用いて高精度な検査が可能となるものであり、テストコストの大幅な削減を図ることが可能となるものである。また、基準電圧発生器が複数種類の半導体集積回路の検査に共用できるものであるため、被検査半導体集積回路毎に、基準電圧発生器を用意する必要がなく、したがって単一の検査装置で、複数種類の半導体集積回路の検査を

効率的に実施することが可能となるものである。

【0023】さらに、第 1 の所定の電圧範囲を所定の電圧幅で低減した第 2 の所定の電圧範囲を設定し、第 2 の所定電圧範囲を基準として上記各出力端子に対応する差分増幅値を一括して同時に良否判定し、判定結果が変化する時の前記第 2 の所定の電圧範囲の値に基づき、被検査デバイスを複数のランクに分類するので、出力間偏差値によってデバイスの実力を分類することができ、搭載する液晶パネルの用途を拡大していくことが可能となるばかりか、これによって歩留まりの向上も図れ、ひいては液晶ドライバの価格適正化にも寄与できる。

【0024】

【発明の実施の形態】以下、本発明の実施の形態に基づいて、本発明を詳細に説明する。

【0025】図 1 は、本発明の一実施形態である液晶ドライバ LSI 検査装置のブロック構成を示す構成図である。図 1 に於いては、m 出力、n 階調の液晶ドライバ LSI の試験を行う場合について示している。また、図 2 は、図 1 に示す検査装置の動作説明に供する電圧波形図である。

【0026】液晶ドライバ LSI 1 は、m 個の出力端子 3 を持つ。各出力端子 3 は、それぞれ、D/A コンバータ 2 の出力端子に接続されている。各 D/A コンバータ 2 は、それぞれ、n 階調の階調電圧を出力する。各出力端子 3 から出力された階調電圧は、差動増幅器アンイモジュール 4 を構成する各差動増幅器 5 の一方の入力端子 6 に並列に入力される構成となっている。

【0027】8 は、上記階調電圧と比較される n 個の基準電圧（期待値電圧）を、順次、発生する電圧発生器であり、該電圧発生器 8 より出力された期待値電圧は、差動増幅器アンイモジュール 4 を構成する各差動増幅器 5 の他方の共通入力端子 7 に入力される構成となっている。この基準電圧発生器 8 は、D/A コンバータ 2 より出力される各階調電圧の値が異なる、複数種類の液晶ドライバ LSI 1 の検査に共用できる構成となっているものである。

【0028】具体的には、予め設定された最小電圧 V_{min} を単位として、入力デジタル・データに応じて、この V_{min} 刻みの複数の階調電圧を発生させることができる構成となっており、被検査液晶ドライバ LSI 1 より出力される複数の階調電圧の基準値に対応する複数のデジタル・データを選択して、該選択された複数のデジタル・データを順次与えることによって、所望の階調電圧を順次発生させることができる構成となっているものである。すなわち、この基準電圧発生器 8 に与えるデジタル・データの変更により、異なる種類の液晶ドライバ LSI 1 の検査に必要な、異なる基準電圧の組を、任意に発生させることができるものである。

【0029】なお、この基準電圧発生器の構成としては、以下に示す構成も可能である。すなわち、基準電圧

発生器を有する検査装置を用いて、その検査が実行される複数種類の半導体集積回路に内蔵されるDAコンバータより出力される各階調電圧の値が全て判明しているときは、入力デジタル・データ信号に応じて、上記階調電圧を全て出力させることができる構成としておくこと
10 によって（この場合は、上述の構成とは異なり、各出力基準電圧間の差電圧は、必ずしも一定とはならない）、複数種類の半導体集積回路の検査に必要な、複数種類の基準電圧の組を選択的に発生させることができる電圧発生器を構成することもできるものである。

【0030】各差動増幅器5は、図2に示すように、液晶ドライバLSI1より出力される階調電圧13と、電圧発生器8より出力される期待値電圧14との間のずれ電圧（図2に示す、V1、V2、V3）を所定の倍率

（例えば、100倍、或いは、それ以上の倍率）で増幅した増幅出力電圧を出力するものである。この差動増幅器5に於ける、ずれ電圧値の増幅処理により、後段のコンパレータ12に於ける比較判定の高精度化を実現しているものである。各差動増幅器5よりの上記増幅出力電圧が出力される出力端子9は、それぞれ、テスト10の
20 各入力チャネル11に接続されており、上記増幅出力電圧は、それぞれ、テスト10に入力される。テスト10を構成するコンパレータ12は、各入力チャネル11を介して入力された各差動増幅器よりの増幅出力電圧が、それぞれ、所定の電圧範囲（例えば、64階調の場合は、ずれ電圧の値で示して、 $\pm 20\text{ mV}$ 以下の範囲、256階調の場合は、同、 $\pm 5\text{ mV}$ 以下の範囲）にあるか否かの判定を同時に実行し、その結果を示す信号、すなわち、全ての入力電圧が所定電圧範囲内にあるか、或いは、何れかの入力電圧が所定電圧範囲外となっているか
30 を示す判定結果信号を出力する。

【0031】このコンパレータ12の構成を図3に示す。図3に於いて、15は電圧比較器、16及び17は論理積回路である。また、VHは、所定電圧範囲の上限である上限電圧値であり、VLは所定電圧範囲の下限である下限電圧値である。かかる構成により、入力された各差動増幅器5の増幅出力電圧が、全て、所定電圧範囲内にあれば、論理積回路17の出力は、“H”レベルとなり、何れかの増幅出力電圧が所定電圧範囲外にあれば、論理積回路17の出力は、“L”レベルとなる。
40

【0032】本実施形態の検査装置は、コンパレータ内蔵のテスト10に、差動増幅器アレイモジュール4と電圧発生器8とを付加するだけで、実現できるものであり、既存の装置への僅かな装置の付加のみで、高精度なテストを短時間で実施できる、極めて有用な検査装置を提供できるものである。

【0033】以下、本実施形態の検査装置の動作の説明を行う。図4は本実施形態の動作を示すフローチャートである。

【0034】まず、1階調目の階調電圧が、m個の出力
50

端子3から出力されるように状態を設定して、液晶ドライバLSI1を動作させる（S1）。このとき、m個の出力端子3から出力された各階調電圧は、それぞれ、対応する差動増幅器5の一方の入力端子6に並列に入力される。このとき、電圧発生器8は、所定のデジタル・データ信号の入力により、被検査液晶ドライバLSI1に於ける1階調目の階調電圧に対する期待値電圧を発生するように設定されて制御されており（S2）、該期待値電圧は、差動増幅器5の他方の入力端子（共通入力端子）7に入力される。
10

【0035】S3において、各差動増幅器4は、これら各入力電圧に基づいて、液晶ドライバLSI1より出力された1階調目の階調電圧と、期待値電圧との差を取り（S3）、所定の倍率（例えば、100倍、或いは、それ以上の倍率）で増幅し、電圧増幅出力電圧を発生する（S4）。所定の電圧範囲を設定し（S5）、電圧増幅出力電圧は、テスト10に、並列に入力される。テスト10のコンパレータ12に於いて、それぞれ、電圧増幅出力電圧が所定の電圧範囲内にあるか否かの判定が実行される（S6）。該判定に於いて、論理積回路17の出力が、“L”レベルとなり、何れかの出力電圧が上記範囲外にあると判定された場合は、その時点で、検査動作を終了し、検査対象のLSIは不良品として処理される（S7）。一方、論理積回路17の出力が、“H”レベルとなり、全ての出力電圧が、上記所定の電圧範囲内にあると判定された場合は、2階調目の階調電圧のテストに移る（S8）。
20

【0036】すなわち、2階調目の階調電圧が、m個の出力端子3から出力されるように、液晶ドライバLSI1を動作させる（S1）。m個の出力端子3から出力された各階調電圧は、それぞれ、対応する差動増幅器5の一方の入力端子6に並列に入力される。また、このとき、電圧発生器8は、所定のデジタル・データ信号の入力により、被検査液晶ドライバLSI1に於ける2階調目の階調電圧13に対する期待値電圧14を発生するように設定制御されており（S2）、該期待値電圧は、差動増幅器5の他方の入力端子（共通入力端子）7に入力される。これら各入力電圧に基づく、各差動増幅器5より液晶ドライバLSI1より出力された2階調目の階調電圧と、期待値電圧との差を求め（S3）、所定の倍率（例えば、100倍、或いは、それ以上の倍率）で、電圧を増幅する（S4）。この増幅電圧は、テスト10に、並列に入力される。所定の電圧範囲を設定し（S5）、テスト10のコンパレータ12に於いて、それぞれ、所定の電圧範囲内にあるか否かの判定が実行される（S6）。該判定に於いて、論理積回路17の出力が、“L”レベルとなり、何れかの出力電圧が上記範囲外にあると判定された場合は、その時点で、検査動作を終了し、検査対象のLSIは不良品として処理される（S7）。一方、論理積回路17の出力が、“H”レベルと
30
40
50

なり、全ての出力電圧が、上記所定の電圧範囲内にあると判定された場合は、次の、3階調目の階調電圧のテストに移る(S8)。

【0037】以下、同様にして、n階調目の階調電圧のテストまでを実行することにより、液晶ドライバLSIに内蔵される各DAコンバータより出力される各階調電圧のテストを実行することができるものである。

【0038】次に、本発明に係る他の実施形態について説明する。複数のDACを有する液晶ドライバより出力される階調電圧波形13は、期待値電圧波形14に対して図2に示すようにずれ電圧V1、V2、V3が発生する。これは液晶ドライバ内の個々のDAC2出力電圧において、ずれ電圧が発生する。このずれ電圧量を検査することも、液晶ドライバの試験においては重要である。

【0039】従来方式であれば、高精度アナログ電圧測定器にて各階調電圧の電圧測定を行い、テストにて演算してずれ電圧の偏差を求めていたが、前記実施例形態より、差動増幅器5から出力する差分電圧をコンパレータ15に入力し比較判定するため、コンパレータ15のVH、VL電圧は絶えず一定の電圧にて試験を行うことが可能となる。さらに、本実施形態においては、このVH、VL電圧を個別に変化させ、VH側でPASSの状態からFAILの状態に変化した値と、VL側でPASSの状態からFAILの状態に変化した値の電圧差を求めることができるようにする。

【0040】具体例として実際の数値を示して詳述する。この数値測定は、図5の例では理想値に対してVOH=2V、VOL=1Vに設定して、この範囲内であるか否かを判定しているが、本実施形態によりさらにデバイスの実力を把握することが可能となる(VOH=2V、VOL=1V:第1の所定の電圧範囲)。まず、VOH=2Vを、例えば0.1Vずつ変動させていき、FAILとなるポイントを検出する。すなわち理想値に対してピン間バラツキの最大値がFAILポイントとなり図5の2ピンが最大値とした場合、VOH=1.86VがFAILポイントとなる。

【0041】同様にVOL=1Vを0.1Vずつ変動させていき、FAILとなるポイントを検出する。この場合、理想値に対してピン間バラツキの最小値がFAILポイントとなり図5の1ピンが最小値とした場合、VOL=1.24VがFAILポイントとなる(VOH=1.86V、VOL=1.24V:縮小後の第2の所定の電圧範囲)。ここで検出したVOH=1.86VとVOL=1.24Vがピン間のバラツキであり、この値によって用途別に振りわけ(ランク分け)を行なうことが実現できる。上記の説明では0.1Vずつ変動させているが、この変動量を小さくしていくことでさらに測定精度を上げることが可能である(尚、VOH、VOLは、テスト10より設定される)。

【0042】図6に、本実施形態の動作を示すフローチャートを示す。このフローチャートは、1つの階調における動作を示し、図4と同一部分には同一符号を付す。図4のフローチャートと異なるのは、S11、S12、S13の処理である。すなわち、S6において、テスト10のコンパレータ12に於いて、それぞれ、電圧増幅出力電圧が所定の電圧範囲内にあるか否かの判定が実行され、論理積回路17の出力が、“H”レベルとなり、全ての出力電圧が、上記所定の電圧範囲内にあると判定された場合は、所定電圧範囲を縮小し、第2の所定範囲を設定する(S11)。そして、再びS6に戻り、電圧増幅出力電圧が第2の所定電圧範囲内にあるか否かの判定が実行される。

【0043】また、S6の判定に於いて、論理積回路17の出力が、“L”レベルとなり、何れかの出力電圧が上記範囲外にあると判定された場合は、各出力端子から出力された出力電圧の電圧偏差を抽出する。この抽出された電圧偏差に基づいてランク分けを行う(S13)。S6、S11を繰り返すごとに所定電圧範囲を狭めていく。こうして、半導体集積回路がどの電圧範囲にあるかが判明し、ランク分類が可能となる。

【0044】

【発明の効果】以上、詳細に説明したように、本発明の半導体集積回路の検査装置によれば、多出力化・多階調化が進んだ液晶ドライバLSI等の半導体集積回路の検査においても、コンパレータにおける各増幅出力電圧の同時判定により、テスト時間の大幅な短縮を図ることができると共に、従来におけるような高精度のアナログ電圧測定器による電圧測定が不要となり、従来の安価なテストを用いて高精度な検査が可能となるものであり、テストコストの大幅な削減を達成することができるものである。さらに、出力間偏差値によってデバイスの実力を分類することができ、搭載する液晶パネルの用途を拡大していくことが可能となるばかりか、これによって歩留まりの向上も図れ、ひいては液晶ドライバの価格適正化にも寄与できる。また、基準電圧発生器を複数種類の半導体集積回路の検査に共用できる構成としているため、被検査半導体集積回路毎に、基準電圧発生器を用意する必要がなく、したがって、本発明によれば、単一の検査装置で、複数種類の半導体集積回路の検査を効率的に実施することができるものである。

【図面の簡単な説明】

【図1】本発明の一実施形態である液晶ドライバLSI検査装置のブロック構成を示す構成図である。

【図2】同実施形態の動作説明に供する電圧波形図である。

【図3】図1に示されるコンパレータの構成を示す構成図である。

【図4】同実施形態の動作を示すフローチャートである。

【図5】本発明の他の実施形態において、第1の所定電圧範囲を縮小する説明図である。

【図6】同実施形態の動作を示すフローチャートである。

【図7】従来の検査装置の構成を示す構成図である。

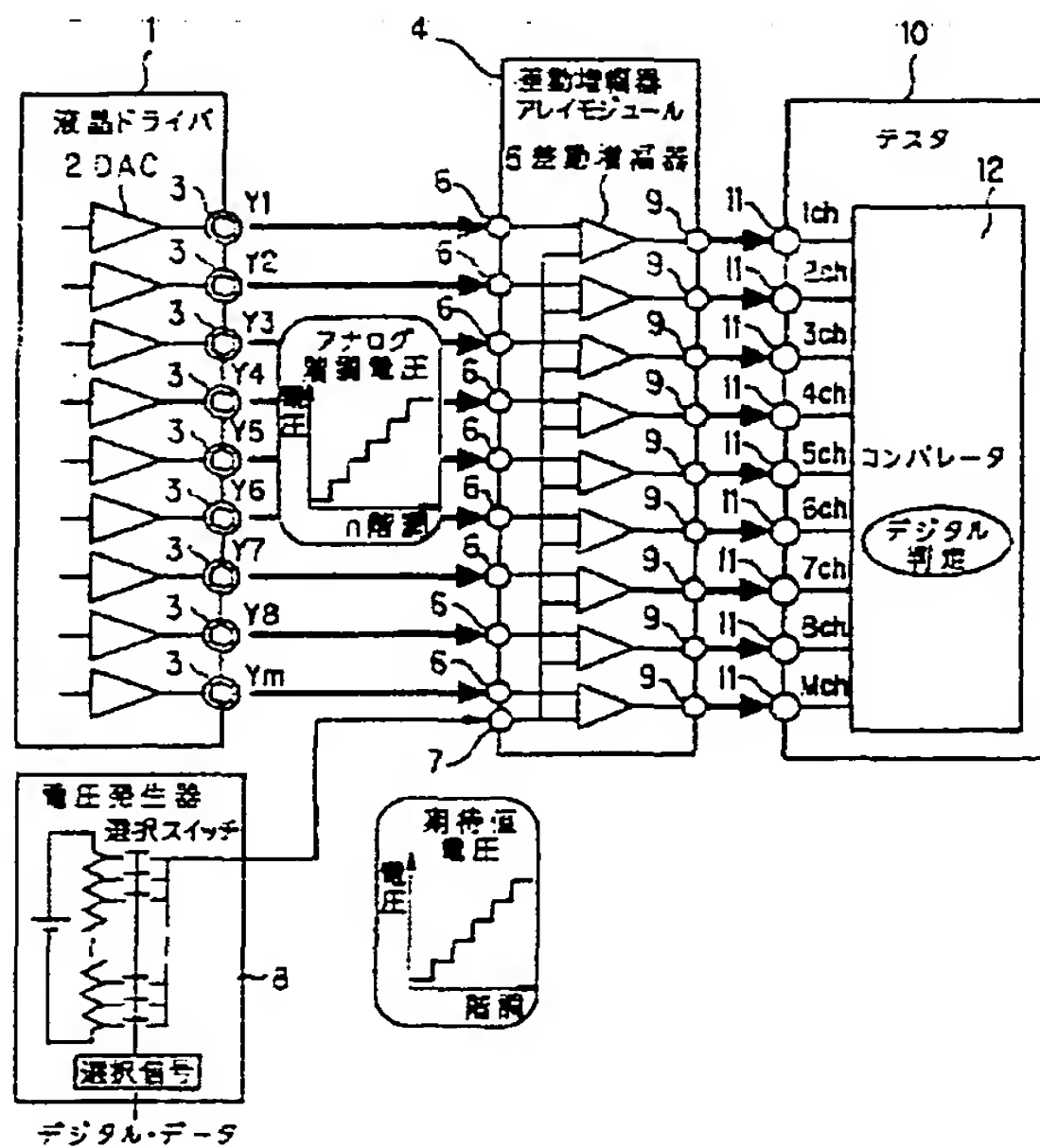
【図8】従来の他の検査装置の構成を示す構成図である。

【符号の説明】

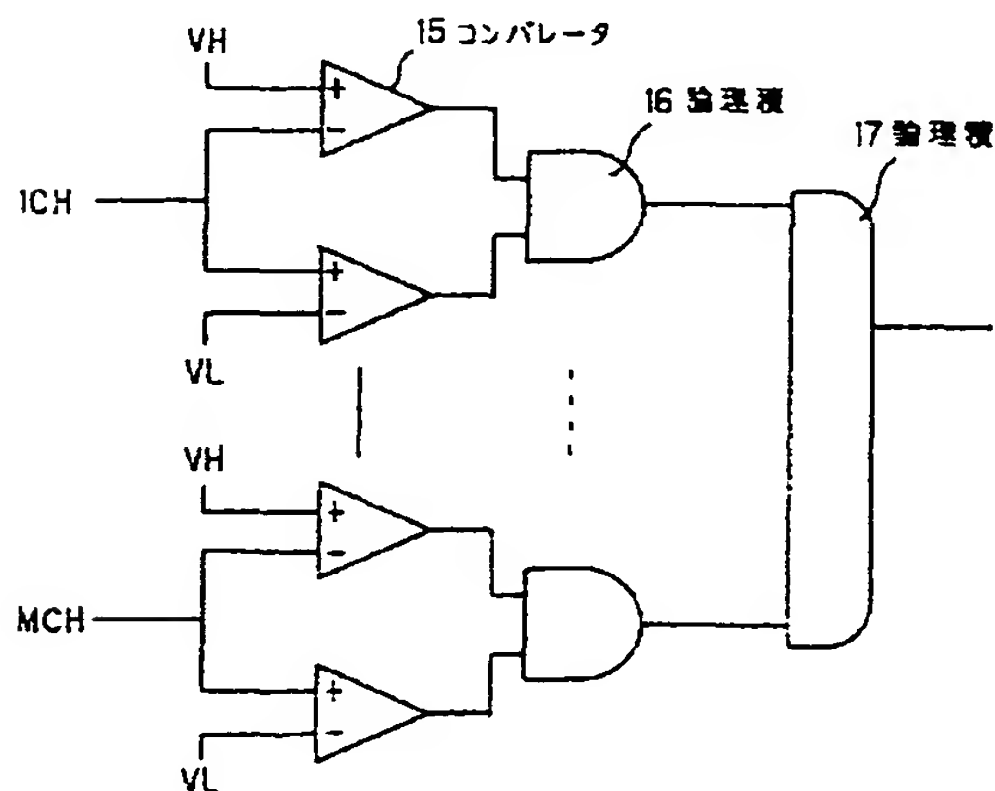
- 1 液晶ドライバLSI
2 D/Aコンバータ
3 出力端子

- 4 差動増幅器アンイモジュール
5 差動増幅器
6、7 差動増幅器の入力端子
8 電圧発生器
9 差動増幅器の出力端子
10 テスタ
11 テスタの入力チャンネル
12 コンパレータ
15 電圧比較器
16、17 論理積回路

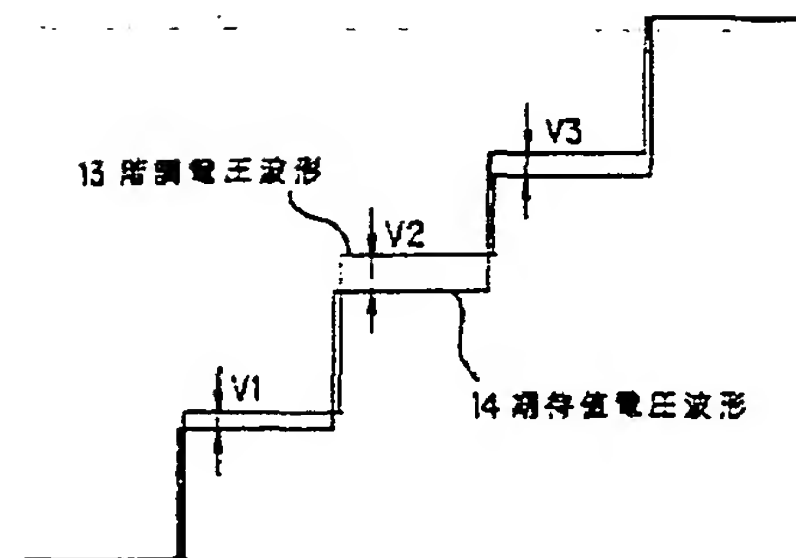
【図1】



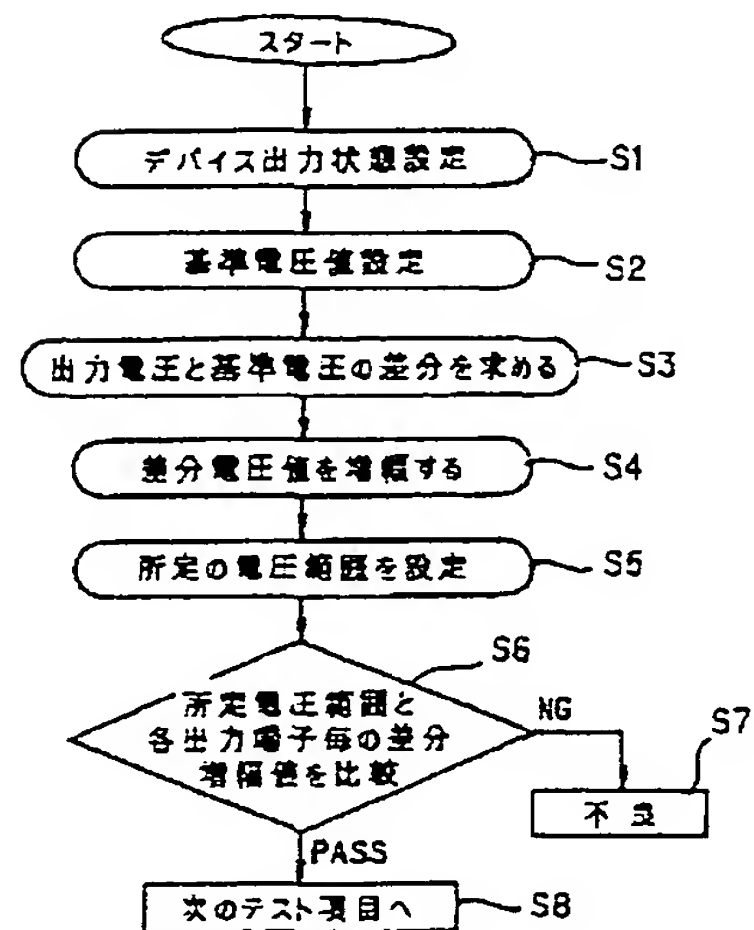
【図3】



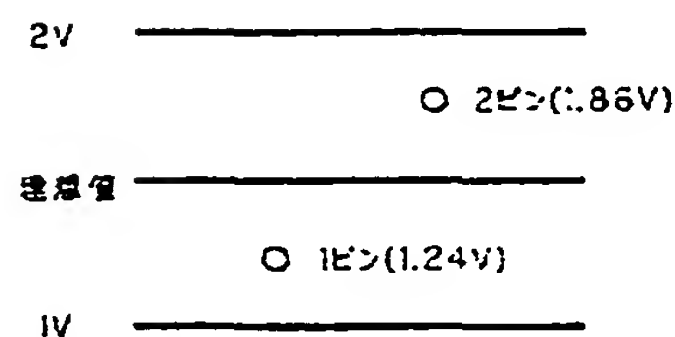
【図2】



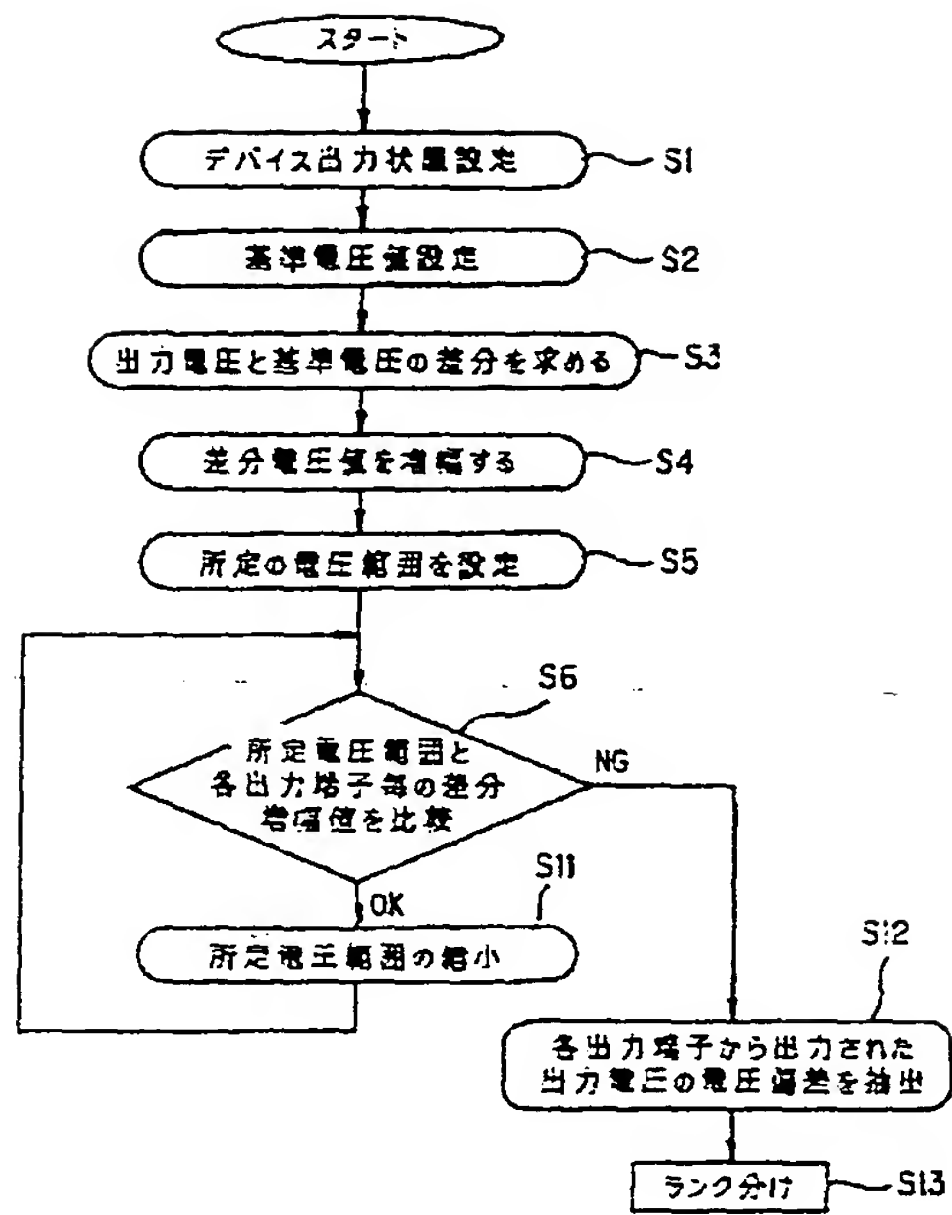
【図4】



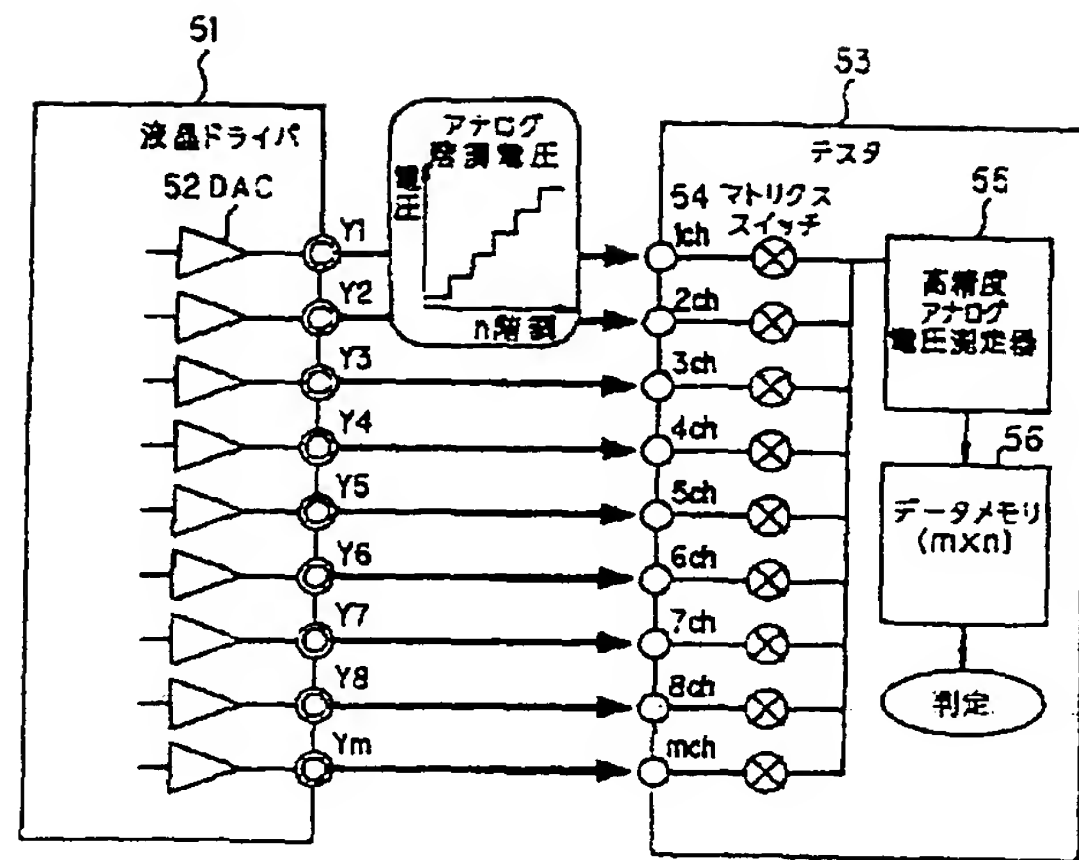
【図5】



【図 6】



【図 7】



【図 8】

